

高速串行接口接收端阻抗校正电路设计

虞鑫栋, 姚 穆, 陈玉虎, 李 优, 赵建中, 张 锋

(中国科学院 微电子研究所, 北京 100029)

摘 要: 研究并设计了一款应用于高速串行接口接收端的阻抗自校正电路, 用以降低因接收器输入端阻抗不匹配而造成的信号反射, 提高信号完整性. 阻抗自校正电路采用由比较器和阻抗校正单元组成的数模混合负反馈环路结构, 其中阻抗校正单元由有限状态机和接收端电阻阵列的复制单元构成, 且电阻阵列由 46 个相同的电阻单元和一个半权重电阻单元并联组成. 仿真验证显示, 阻抗自校正电路实现了 3% 的校正精度, $\pm 35\%$ 的校正范围, 回波损耗(S_{11})在 12.5 GHz 时小于 -15 dB. 该电路在 55 nm CMOS 工艺设计, 面积为 $218\ \mu\text{m} \times 133\ \mu\text{m}$, 功耗为 7.43 mW.

关键词: 高速串行接口; 阻抗自校正; 数模混合; 校正精度; 回波损耗

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)12-0054-05

An Impedance Calibration Circuit Design of High-speed Serial Interface Receiver

YU Xin-dong, YAO Mu, CHENG Yu-hu, LI You,
ZHAO Jian-zhong, ZHANG Feng

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: An impedance self-calibration circuit applying to high-speed serial interface receiver was studied and designed. It is used to reduce the signal reflection because of impedance mismatch of the receiver input channel and improve the signal integrity. Impedance self-calibration circuit using digital-analog hybrid negative feedback loop structure which is composed of comparator and impedance calibration unit. The impedance calibration unit is made up of finite-state machine and replication cell of the receiver resistor array, and the resistor array consist of 46 same resistor unit and one half-weight resistor unit with parallel hybrid. Simulation and verification indicates that the calibration precision of the impedance self-calibration circuit can reach to 3% and calibration range can reach to $\pm 35\%$, when the frequency is 12.5 GHz the return loss is less than -15 dB. The chip was taped out in 55 nm CMOS technology, it occupied $218\ \mu\text{m} \times 133\ \mu\text{m}$ and the power consumption is 7.43 mW.

Key words: high-speed serial interface; impedance self-calibration; digital-analog hybrid; calibration precision; return loss

1 引言

在高速串行接口电路应用中, 传输信道的衰减会影响接收端输入信号的质量, 尤其由于阻抗不连续造成的信号反射, 会进一步恶化信号的质量^[1], 从而对接收器的接收灵敏度提出了更高的要求, 增加了电路设计的难度. 为了减小接收器输入端的信号

反射, 需要进行阻抗校正来匹配传输线的特征阻抗, 提高输入信号的质量.

由于一般工艺厂提供的片上电阻偏差比较大, 因此, 为了满足高精度阻抗匹配的需求, 本文针对高速串行接口接收器的应用, 采用数模混合的结构, 提出一种高精度、大范围的阻抗自校正电路. 阻抗校正电路不仅实现了高精度的阻抗匹配, 也实现了大范

收稿日期: 2015-02-20; 修回日期: 2015-03-15

基金项目: 国家高技术研究发展计划(“八六三”计划)项目(2011AA010403); 国家科技重大专项项目(2014ZX02302002)

围的阻抗校正,以满足最差情况下工艺、电压和温度(Process, Voltage, Temperature, PVT)变化带来的阻抗偏差^[2].

2 阻抗自校正电路

图1是高速串行接口电路基本的系统架构图,一般为了提高电路的抗噪性能和信号完整性,电路设计采用差分结构,接收器的输入端连有 $100\ \Omega$ 的差分输入电阻^[3].为了使接收器的输入阻抗高精度地匹配传输线的特征阻抗,将差分输入电阻设计为电阻阵列,如图1中的虚线框部分所示,通过阻抗校正电路的调节,使得电阻阵列的阻抗匹配传输线的特征阻抗,保持在 $100\ \Omega$ 左右.

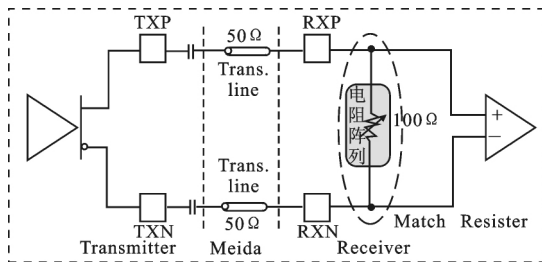


图1 高速串行接口电路的基本架构

图2是本文所设计的高精度、大范围的阻抗自校正电路结构图,表示一个由比较器和数模混合的阻抗校正单元(Impedance Calibration Unit, ICU)组成的负反馈环路^[3],其中阻抗校正单元由有限状态机(Finite-State Machine, FSM)和接收端电阻阵列的复制单元构成.两个外接的 $50\ \Omega$ 精密电阻与电阻阵列复制单元串联形成电阻分压模式,得到输出电压VF,反馈给比较器的输入端与内部1:2:1分压器得到参考电压 V_{ref_L} 做比较.在时钟信号的触发下,根据比较器输出的高低,有限状态机逐个打开或关闭校正部分电阻阵列单元,从而自动地调整电阻阵列的阻抗,直到输出电压等于参考电压.校正完成后,锁存当前的阻抗控制码ENC和ENC_Shift,并输出到接收端电阻阵列,从而实现接收器的输入阻抗是 $100\ \Omega$,同时关闭阻抗校正电路,以节省功耗^[4].

2.1 阻抗匹配的实现方式

图3给出了接收端阻抗匹配的实现方式,图3(a)表示直接使用工艺厂提供的最小偏差电阻,这种匹配方法,实现简单、寄生电容小,但是阻值随PVT的变化高达 $\pm 20\%$,适用于对反射不敏感的场所^[5];

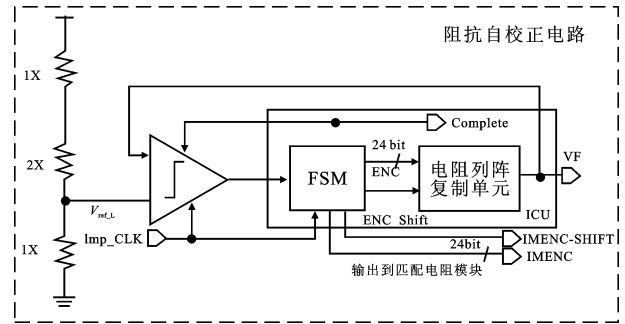


图2 阻抗自校正电路整体环路结构

图3(b)所示的是常用的单管与栅电阻相结合的方式实现的电阻,单管不仅当做开关管控制电阻单元(slicer)的导通或者关断,还为每一个slicer贡献开关管的导通电阻^[6],因此slicer的阻值是由 R_1 和开关管的导通电阻组成,每个slicer的开关管的导通或者关断决定了总电阻的大小,这种结构可以采用自动校正或者手动校正的方式实现较为精确的阻抗匹配,但是实现方式较复杂,会引入寄生电容的影响,而且对于差分的输入信号,输入信号的电平大小会影响单管的导通电阻,从而影响匹配电阻的大小;在本文设计中,提出了图3(c)所示的slicer结构,这种结构是在图3(b)表示的匹配方式的基础上采用传输门代替单管的方式,从而减小了输入信号的摆幅对匹配电阻的影响,其他性能与图3(b)表示的匹配方式相同.

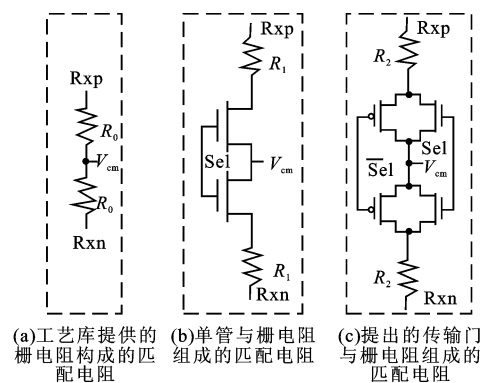


图3 常用片内电阻匹配方式

开关管工作于线性区,其导通电阻用式(1)表示^[7],可见导通电阻与 W/L 、过驱动电压($V_{GS} - V_{TH} - V_{DS}$)成反比,若这两个参数越大,导通电阻越小.由于开关管的Sel端接固定电平,Rxp/Rxn端接收接收端输入信号,即 V_{GS} 的值是变化的,而电阻 R_1 影响了 V_{DS} 的大小.因此开关管的导通电阻与接收端输入信号的幅度以及电阻 R_1 相关,其变化率如式(2)^[7].

$$R_{on} = \frac{1}{u_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH} - V_{DS})} \quad (1)$$

$$\frac{\partial R_{on}}{\partial V_{GS}} = - \frac{1}{u_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH} - V_{DS})^2} \quad (2)$$

由式(2)可知,导通电阻变化率与 W/L 、 $u_n C_{ox}$ 和 $V_{GS} - V_{DS} - V_{TH}$ 的平方成反比,为了减小导通电阻受到工艺角、温度、接收端输入信号幅度等因素的影响,应增加 W/L 的比值,尽量减小其在电阻 slicer 的比重,同时减小 V_{DS} 的影响,但是过度增加 W/L 会增加寄生电容,从而限制了信号传输的速度。在折中考虑了 R_{on} 的变化、寄生电容以及芯片面积,本文选取开关管导通电阻 R_{on} 与电阻 R_0 的比值为 1:5,这样可以实现即使导通电阻变化为 $\pm 60\%$,对总电阻的影响也在 $\pm 10\%$ 以内。考虑到电阻 R_0 的变化 ($\pm 20\%$),则总电阻的变化在 $\pm 30\%$ 以内。

2.2 阻抗校正电路设计

为了使接收端输入驱动器的阻抗保持在 $100\ \Omega$ 左右,留有足够的余量,能够保证校正 $\pm 35\%$ 的电阻偏差,模拟电路设计图如图 4 所示,主要包括两部分电路:校正模块(block2)和匹配电阻(block1),其中 block1 与 block2 的电阻的构成如图 4(c)所示。

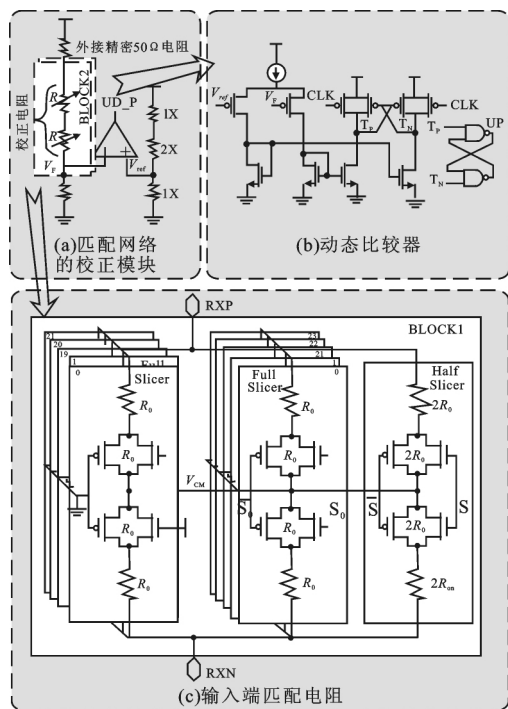


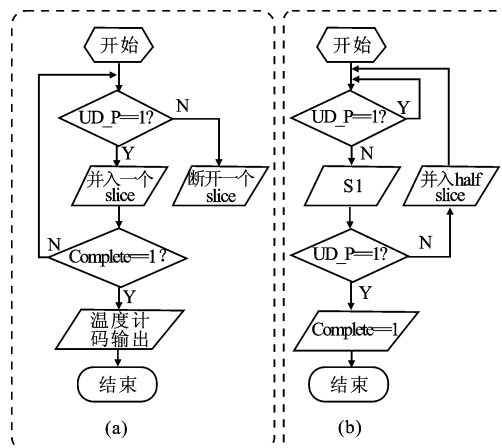
图 4 阻抗匹配模拟电路设计

图 4(c)中包括 22 个常开的电阻阵列、24 个由校正电路输出的 $[M_0 \cdots M_{23}]$ 控制的电阻阵列和一个半权重

电阻单元(Half slicer). Half slicer($6\ 800\ \Omega$)的阻值是正常电阻单元(Full Slicer)($3\ 400\ \Omega$)的两倍,当校正电阻 R 接近 $100\ \Omega$ 时,Half slicer 的并入对 R 的影响是一个 Full slicer 的一半,因此它的并入增加了阻抗校正的精度。校正的方法见图 4(a)与图 4(b),为了得到比较精确的匹配电阻,校正电阻两边外接精密电阻 $50\ \Omega$,如图 4(a)所示,分别接到电源和地,由此可以得到反馈电压 V_F ,而动态比较器的正端是由片内电阻分压产生,比较器的输出 UD_P 反馈回数字电路。为了简化校正方法而且兼顾工艺角的偏差, R 默认初始值为 22 个 Full slicer 构成(此时 $R > 50\ \Omega$),然后根据比较器的输出 UD_P 进行相应的操作。校正结束后,关闭校正支路,同时将 $[S_0 \cdots S_{23}]$ 的状态送给 Block1,从而实现信号通路内的阻抗匹配。

2.3 有限状态机设计

阻抗校正数字部分主要是通过有限状态机(FSM)控制温度计码的变化,完成自动校正的过程。设计分为主模块和子模块两部分,在主模块和子模块分别定义了一个状态机,两个状态机的流程图分别如图 5(a)和图 5(b)所示。



(a)主状态机流程图 (b)从状态机流程图

图 5 数字电路设计流程图

主模块定义了一个 25 种状态的状态机,对应需要并联的 24 个电阻单元 $[M_0 \cdots M_{23}]$ 。初始状态(S_0),温度计码 ENC 的值为全 0,最后一个状态(S_{24}),温度计码 ENC 的值为全 1。校正部分一共有 2 组电阻单元,其中一组是本地电阻单元,是实际使用的校正电阻,还有一路是测试电阻单元,用于自动校正的测试,每次状态转换把温度计码值 ENC 保存于 ENC_REG,待自动校正结束后,将 ENC_REG

的值赋给本地电阻阵列 IMENC. 对于自动校正, 状态机的状态转换是由比较器的输出信号 UD_P 控制. 复位后, 校正电阻阵列值大于 $100\ \Omega$, 比较器输出信号 UD_P 为高电平, 自动校正开始后, 电阻阵列直接并入一个 Full slicer. 在接下来的比较中, 若 UD_P 为高电平, 则继续并入一个 slicer, 否则, 断开一个 slicer. 直到自动校正结束, complete 信号为高电平后, 状态机停止工作, 将保存的温度计码 ENC_REG 赋给本地电阻阵列 IMENC. 同时关闭校正电阻阵列, 以降低功耗.

子模块定义了另一个状态机, 主要是控制半权重电阻 (Half slicer) 的开启和自动校正完成. 从状态机只有两个状态, 状态机流程图如图 5(b) 所示. 若 UD_P 为高电平, 则停留在 START 状态, 当 UD_P 为低电平后, 进入 S1 状态. 在 S1 状态, 如果 UD_P 为 1, 那么对于 UD_P 来说, 已经出现连续的 '101' 信号, 这时自动校正完成. 如果 UD_P 为 0, 说明比较器输入端差值不在比较精度范围内, 这时出现连续的 '100' 信号, 半电阻 Half slicer 开启, 同时回到 START 状态. 在连续 '100' 信号之后, 不会再次出现比较精度不够的情况, 接下来会出现连续 '101' 信号, 这时自动校正完成.

复位时, 本地电阻阵列控制码 IMENC 赋初值 $24'h000fff$, 在校正过程中, IMENC 的值保持不变, 保证阻抗在 $100\ \Omega$ 左右, 直到自动校正完成, 此值才被改写.

数字电路设计中还有一些附加功能, 目的是为了为了更好的控制和监测校正过程. 附加功能如下:

- (1) 添加了手动校正功能, 由外部信号直接对本地电阻阵列 IMENC 编码控制;
- (2) 添加了输入使能信号 enable, 目的是在时钟锁定并稳定之后再进行自动校正;
- (3) 添加了输出信号 IMENC_D, 对校正结果进行译码, 由 24 位译码为 5 位, 便于外部监测.

3 仿真验证

该电路在 55 nm CMOS 工艺设计, 阻抗自校正电路整体版图如图 6 所示. 版图面积为 $218\ \mu\text{m} \times 133\ \mu\text{m}$, 在校正过程中功耗峰值为 7.43 mW.

为了验证阻抗校正功能, 在各个工艺角下都进行了数模混合仿真. 图 7 显示了阻抗校正的仿真结

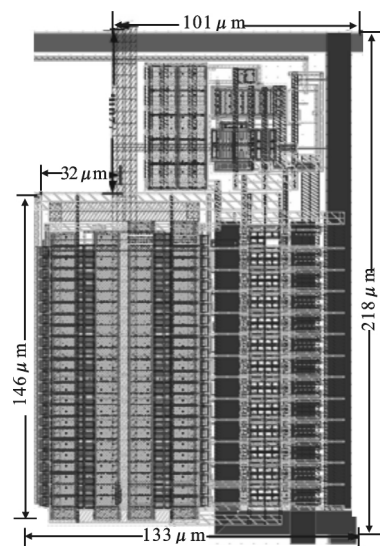


图6 阻抗自校正电路整体版图

果, 输出电压的变化揭示了 FSM 控制阻抗校正单元逐渐逼近 $100\ \Omega$ 的过程. 当校正结束后, 阻抗校正完成信号 complete 从低电平跳到高电平, 代表阻抗自校正完成, 如图 8 所示. 同时, 阻抗校正模块关闭, 以节省功耗. 经过计算, 不同工艺角下, 校正部分电阻 R 的大小和阻抗校正时间 t_{complete} 如表 1 所示. 可以看出, 各种 corner 下的校正结果都小于 2%. 经过理论计算, 最大的校正偏差为 2.85%, 所以说电路设计达到了理想的校正结果.

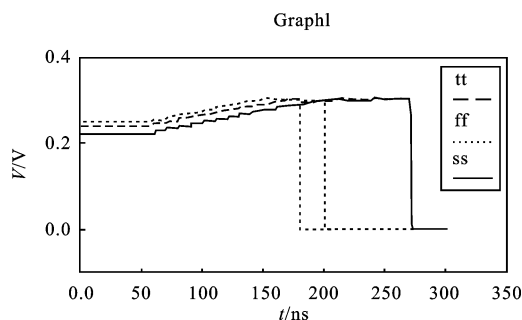


图7 不同工艺角下阻抗校正仿真结果

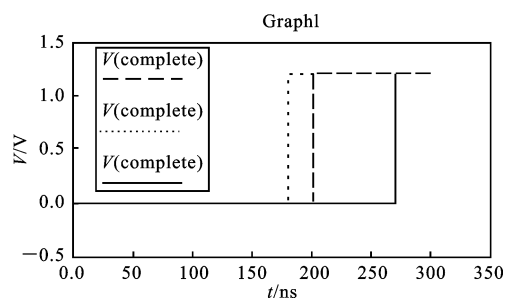


图8 阻抗校正完成信号仿真结果

表 1 不同工艺角下阻抗校正结果

工艺角	tt	ss	ff
	27 ℃	125 ℃	-40 ℃
R/Ω	98.09	101.03	98.01
$t_{\text{complete}}/\text{ns}$	200	270	1 800

由图 9 所示的阻抗校正后回波损耗(S_{11})仿真结果可知,阻抗校正后,即使频率达到 12.5 GHz,接收器输入端反射系数依然小于-15 dB.表明阻抗校正电路实现了高精度的阻抗匹配.

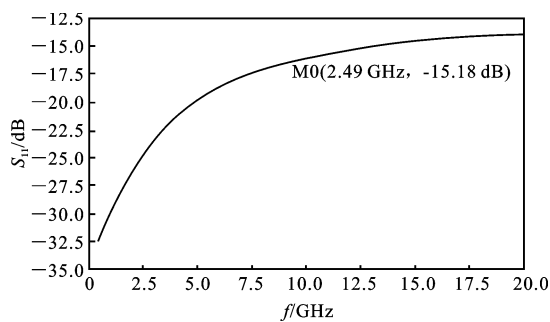


图 9 阻抗校正后回波损耗(S_{11})仿真曲线

4 结束语

本文设计了一款应用于高速串行接口接收端的阻抗匹配自校正电路.校正电路采用数模混合负反馈方式进行自动校正,方法简便,性能优越,在自动校正功能的实现上有较大的创新性,比之前单方向逐渐逼近的校正方法有很大的优化,校正精度 3%,校正范围 $\pm 35\%$,回波损耗在 12.5 GHz 时小于-15 dB.设计采用了 55 nm CMOS 工艺,面积为 $218\ \mu\text{m}\times 133\ \mu\text{m}$,功耗为 7.43 mW.该设计能够很好的嵌入到高速串行接口接收端,多种 corner 的后仿结果都显示自动校正功能完全可以实现设计目标.

参考文献:

[1] 叶菁华. 高速串行数据发送器的研究[D]. 上海: 复旦

大学, 2005.

- [2] Poulton J, Palmer R, Fuller A M, et al. A 14 mW 6.25 Gb/s transceiver in 90 nm CMOS[J]. Solid-State Circuits, IEEE Journal of, 2007,42(12):2745-2757.
- [3] Kambiz Kaviani, Senior Member. A 0.4 mW/Gb/s near ground receiver front-end with replica transconductance termination calibration for a 16-Gb/s source-series terminated transceiver [J]. Solid-State Circuits, IEEE Journal of, 2013,48(3):636-647.
- [4] Agrawal A, Liu A, Hanumolu P H, et al. An 8 X 5 Gb/s parallel receiver with collaborative timing recovery[J]. Solid-State Circuits, IEEE Journal of, 2009,44(11):3120-3130.
- [5] Bulazcchelli J F, Menolfi C, Beukema T J, et al. A 28-Gb/s 4-Tap FFE/15-Tap DFE serial link transceiver in 32-nm SOI CMOS technology[J]. IEEE JSSC, 2012,47(12): 3232-3248.
- [6] Andre DeHon, Thomas Knight, Thomas Simon. Automatic impedance control[C] // IEEE International Solid-state Circuits Conference. USA, San Francisco, 1993: 164-167.
- [7] Kossel M, Menolfi C, Weiss J, et al. A T-Coil-Enhanced 8.5 Gb/s high-wwing SST transmitter in 65 nm bulk CMOS with <-16 dB return loss over 10 GHz bandwidth[J]. Solid-State Circuits, IEEE Journal of, 2008,43(12):2905-2920.

作者简介:

虞鑫栋 男,(1989-),硕士.研究方向为通用高速串行接口 PCIE2.0 和 RapidIO2.1 物理层系统设计.

E-mail:Xindongyu5505@163.com.

姚 穆 女,(1987-),硕士,研究实习员.研究方向为高速低功耗接口电路和高密度非易失性存储器的设计.

张 锋 男,(1977-),博士,副研究员.研究方向为高速低功耗接口电路和高速低功耗存储器的设计.